

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-202919

(43)Date of publication of application : 19.07.2002

(51)Int.Cl.

G06F 12/16

G06F 11/10

G11B 20/18

H03M 13/29

H04L 1/00

(21)Application number : 2000-401172

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.12.2000

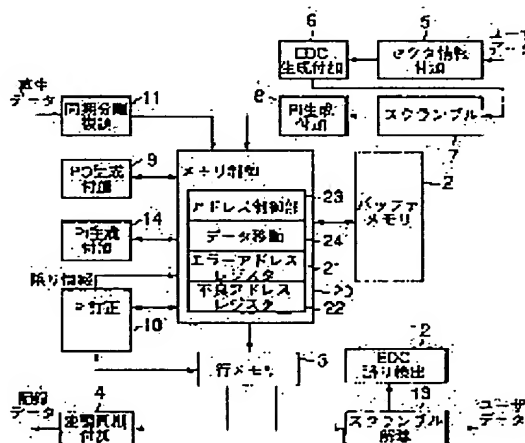
(72)Inventor : KOTAKE KOICHI
ISHIZAWA YOSHIYUKI
KOJIMA TADASHI

(54) DATA PROCESSING DEVICE USING ERROR CORRECTION CODE

(57)Abstract:

PROBLEM TO BE SOLVED: To remove the influence of an error even if the error is generated in data on a memory when an error correction code is generated and added to the data housed in the memory.

SOLUTION: The error correction code PI is generated before the data are housed in the memory, and written in the memory together with the previous data. After the data in sixteen sectors and the PI are housed, the error correction code PO is generated and added relative to the data and the PI. When taking out the data from the memory, PI correction processing is executed at every time of taking out a PI series. Hereby, even if a data corruption (error) on the memory is generated, the data can be recovered. When detecting a region wherein a memory error is generated on the memory, control is executed by a memory control means so that the region is not used.



LEGAL STATUS

[Date of request for examination] 28.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3519684

[Date of registration] 06.02.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] PI generation and the addition means which one line generates and adds error correcting code PI (P bytes) to each line to the data of the multi-line which consists of N cutting tools, The buffer memory which stores the data which PI error correcting code with which one line obtained with said PI generation and an addition means consists of N+P cutting tools added, When an error correction is performed by an PI error correction means to perform the error correction of each line using error correcting code PI added to each line, and this PI error correction means before reading and transmitting said data from said buffer memory The information on the memory area of said buffer memory that the data with which the error was detected are stored is memorized. The data processor using the error correcting code characterized by providing the memory control means which transposes the memory area of said buffer memory where the data with which the repeat error was detected are stored to another memory area.

[Claim 2] As opposed to the data of a multi-line which are sent from a host computer and with which one line consists of N cutting tools PI generation and the addition means of generating and adding error correcting code PI (P bytes) to each line, The buffer memory which stores the data which PI error correcting code with which one line obtained with said PI generation and an addition means consists of N+P cutting tools added, The information data block which consists of cutting tools (Mx (N+P)) of a M line x (N+P) train and which error correcting code PI added Gather K pieces and it considers as a cutting tool's (Kx (Mx (N+P))) set information data block. PO generation considered as the error correction product-code block (ECC block) which used said buffer memory, and generated and added S bytes of an error correcting code PO to each train of said set information data block, and an addition means, When an error correction is performed by an PI error correction means to perform the error correction of each line using error correcting code PI added to each line, and this PI error correction means before reading and transmitting said data from said buffer memory When having exceeded the number of errors in which an error correction is possible is detected, it considers as the data with which data before said error correcting code PI is added were again required of said host computer, and above-mentioned error correcting code PI was added. The data processor using the error correcting code characterized by providing the control means which specifies the 2nd different storage region from the 1st storage region which stored said data last time when this data is stored in said buffer memory.

[Claim 3] PI generation and the addition means which one line generates and adds error correcting code PI (P bytes) to each line to the data of the multi-line which consists of N cutting tools, The buffer memory which stores the data which PI error correcting code with which one line obtained with said PI generation and an addition means consists of N+P cutting tools added, The information data block which consists of cutting tools (Mx (N+P)) of a M line x (N+P) train and which error correcting code PI added Gather K pieces and it considers as a cutting tool's (Kx (Mx (N+P))) set information data block. PO generation considered as the error correction product-code block (ECC block) which used said buffer memory, and generated and added S bytes of an error correcting code PO to each train of said set information data block, and an addition means, Before reading and transmitting said data from said buffer memory, with an PI error correction means to perform the error correction of each line using error correcting code PI added to each line, and this PI error correction means When the error correction of the line in which said error correcting code PO exists is performed When having exceeded the number of errors in which an error correction is possible is detected, the set information data block of the aforementioned (Kx (Mx (N+P))) cutting tool memorized to the 1st field of said buffer memory is moved to the 2nd field of said buffer memory. As opposed to the set information data block of the aforementioned (Kx (Mx (N+P))) cutting tool in said 2nd field The data processor using the error correcting code characterized by providing control means *** which minds said PO generation and an addition means, and generates and adds S bytes of an error correcting code PO to each train.

[Claim 4] The set information data block which is the cutting tool (KxMx (N+P)) to whom error correcting code PI was added, (Sx (N+P)) When a cutting tool's error correcting code PO block has been sent from the transmission means or the record medium (however, said set information data block), P bytes of error correcting code PI are added to each line of the set data block which is the cutting tool (Kx (MxN)) to whom K data blocks which consist of cutting tools (MxN) of a M line xN train gathered. Moreover, as for said error correcting code PO block, S bytes of an error correcting code PO were generated by each train of said set data block and a block of said error correcting code PI.

1st means by which said error correcting codes PI and PO perform 1st [to the error-data cutting tool of said set data block] error correction processing using buffer memory, The small memory of a capacity still smaller than said

buffer memory is used to data after performing said 1st error correction processing. Again by said error correcting code PI With 2nd means to perform 2nd [to a line] error correction processing, and this 2nd means When the error correction of PI system is performed, the information on the memory area of said buffer memory that the data with which the error was detected are stored is memorized. The data processor using the error correcting code characterized by providing the memory control means which transposes the memory area of said buffer memory where the data with which the repeat error was detected are stored to another memory area.

[Claim 5] When the error correction product-code block (ECC block) has been sent from the transmission means or the record medium (however, said ECC block), P bytes of error correcting code PI are generated and added to each line of the data block which consists of cutting tools (MxN) of a M line xN train. K information data blocks which consist of cutting tools (Mx (N+P)) of a M line x (N+P) train and which error correcting code PI added are gathered. It considers as a cutting tool's set information data block. (Kx (Mx (N+P))) The cutting tool (S=KxQ) of an error correcting code PO is generated and added to each train of said set information data block. By making each K information data blocks added to above-mentioned error correcting code PI distribute said error correcting code PO every Q bytes, each information data block The ECC block and buffer memory which are constituted so that it may become the constant value (M+Q)x(N+P) cutting tool constituted by information data and the error correcting code are used. With said error correcting codes PI and PO 1st means to perform 1st error correction processing of the error-data cutting tool of said data block, The small memory of a capacity still smaller than said buffer memory is used to data after performing said 1st error correction processing. Again by said error correcting code PI When PI correction is performed by 2nd means to perform 2nd [to a line] error correction processing, and this 2nd means When having exceeded the number of errors in which an error correction is possible is detected, it considers as the data with which data before said error correcting code PI is added were again required of said transmission means or record medium, and above-mentioned error correcting code PI was added. The data processor using the error correcting code characterized by providing the control means which specifies the 2nd different storage region from the 1st storage region which stored said data last time when this data is stored in said buffer memory.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the data processor using an effective error correcting code generation art, when recording image data, voice data, computer data, etc. on media (for example, an optical disk, a magnetic disk, etc.), or when reproducing the data recorded on the medium.

[0002] Moreover, when carrying out transmission processing of the above-mentioned image data etc., or when carrying out reception of this invention, it relates to the data processor using an effective error correcting code generation art.

[0003] This invention is effective in the recording device which adopted the above-mentioned error correcting code art, a regenerative apparatus, transmission equipment, and a receiving set further again.

[0004] And when especially this invention performs error correcting code processing, the approach of using buffer memory and performing error correction processing is equipped with the description.

[0005]

[Description of the Prior Art] When recording image data, voice data, computer data, etc. on an optical disk or a magnetic disk, an error correcting code is added to a data block. In error correcting code attached processing, a data block is once stored in memory and the error correcting code to the line of the data block and a train is generated.

[0006] The error correcting code which the error correcting code added to a line is usually called inner parity, is written as PI, and is added to a train is usually called outer parity, and is written as PO.

[0007]

[Problem(s) to be Solved by the Invention] In attached processing of an error correcting code, when a data block is once stored in memory before generating an error correcting code, a part of data on memory may be damaged (error generating). This is expected for the mounting condition of the pattern of data or memory to originate. Moreover, the sudden noise from the outside may have influenced.

[0008] The error produced at this time is called a memory error. In such a case, the error correcting code to the data block (an alteration data block will be called) which the memory error has produced is generated, and this error correcting code is added to an alteration data block, and is recorded on a record medium.

[0009] In an error correction processing circuit, the above-mentioned error correcting code is used at the time of playback of a record medium, and error correction processing to an alteration data block is performed at it. That is, an alteration data block will be reproduced correctly. This means having reproduced correctly the data block containing the above-mentioned memory error. However, a memory error is an error unnecessary to original data. Therefore, when the above-mentioned memory error occurs, it is impossible to restore original right data.

[0010] Then, even if this invention is the case where a data error (memory error) arises on memory, it can restore original right data, and is devising the usage of memory, and aims at offering the data processor which acquires the dependability on actuation.

[0011]

[Means for Solving the Problem] The fundamental view of the error correcting code art of this invention is as follows.

[0012] That is, in transmission or a recording system, this invention generates error correcting code PI to each line of the data block of a matrix configuration, and stores this error correcting code PI and said data block both in memory. Next, when the information data block to which error correcting code PI was added is read from said memory, it is characterized by performing error correction processing using said error correcting code PI to the line of the information data block.

[0013] And while performing error correction processing using error correcting code PI, when the case which cannot be corrected is detected, the field of said memory where the line concerned or the information data block is stored is changed, and it enables it to avoid that a memory error occurs. Moreover, he learns the field which the memory error produced and is trying not to use the field henceforth.

[0014]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained using a drawing.

[0015] First, with reference to drawing 1 - drawing 8, the configuration of the error correcting code addition circuit in data regeneration equipment and an error correction circuit is explained using the example of DVD (digital

versatile disc).

[0016] First, with reference to drawing 6, the structure of the record data of DVD is explained from drawing 1.

[0017] Drawing 1 is drawing showing the data-processing sequence for obtaining the physical sector in DVD. A sector is called a "data sector", a "record sector", and a "physical sector" according to the phase of signal processing. As shown in drawing 2, 4 bytes and ID error detecting code (IED) (sign for detecting the error of ID) are contained for 2048 bytes and discernment data (ID), and 6 bytes and 4 bytes of error detection signal (EDC) (signal for detecting the error which is this data sector) are included [the Maine data] for 2 bytes and copyright management information (CPR MAI) in a data sector. The process which adds such ID and IDE, CPR_MAI, and EDC is step A1 thru/or A3 of drawing 1. At step A1, ID is added to the Maine data. IED is further added at step A2. Furthermore, CPR_MAI is added by step A3.

[0018] Next, EDC to the Maine data is computed and this EDC is added to the Maine data. Next, scramble data are added to the Maine data (2048 bytes) of a data sector (step A4, A5, A6). Then, 16 data sectors after a scramble gather, and the Kloss Lead Solomon error correcting code is generated and added to this 16 data sector (step A6). A record sector is a sector after ECC was added, and are error correcting code PI and a data sector to which the error correcting code PO was added (step A7). A physical sector is a sector after 8 / 16 modulations which added the synchronous sign (SYNC sign) to the head in every 91 bytes of a record sector (step A8).

[0019] Then, the structure of the data sector of DVD is further explained using drawing 2.

[0020] A data sector consists of 2064 bytes containing 2048 bytes of Maine data, i.e., 172 byte x12 line. That is, 4 bytes and ID error detecting code (IED) are contained for 2048 bytes and discernment data (ID), and 6 bytes and 4 bytes of error detecting code (EDC) are contained [the Maine data] in a data sector for 2 bytes and copyright management information (CPR MAI).

[0021] The feedback form shift register which generates the scramble data Sk which scramble to the Maine data (2048 bytes) by step A4 is shown in drawing 3. As initial value for generating the scramble data Sk, some data of ID of a data sector are used, for example. The scramble data Sk scramble the Maine data (2048 bytes) Dk of a data sector. Thereby, Maine data Dk' after a scramble brings a result by which exclusive-OR processing of the Sk (k=0-2047) was carried out to Dk.

[0022] The configuration of an ECC block is explained using drawing 4.

[0023] A data block is formed as 172 train x192 line for which 16 data sectors of 172 byte x12 line gathered. The Lead Solomon error correcting code is generated and added to this 172 train x192 line. First, 16 bytes of error correcting code PO is generated and added to each train of 172 trains. Each train of PO sequence consists of 192 bytes +16 bytes, i.e., 208 bytes. Next, 10 bytes of error correcting code PI is generated and added to the line of all 208 containing the line of an error correcting code PO lines. The 182 train x208 line to which error correcting codes PI and PO were added is one ECC block. In addition, in the generation sequence of PO and PI, even if reverse, the completely same sign pattern is obtained.

[0024] One line of PO sequence and a longitudinal direction is called PI sequence for one train of the lengthwise direction of the above-mentioned ECC block. One PO sequence consists of 192 bytes +16 bytes, i.e., 208 bytes, and a maximum of 8 bytes of error correction is possible for it within 1 sequence. One PI sequence consists of 172 bytes +10 bytes, i.e., 182 bytes, and a maximum of 5 bytes of error correction is possible for it within 1 sequence.

[0025] Next, the structure of a record sector is explained with reference to drawing 5 and drawing 6.

[0026] 16 lines which constitutes the error correcting code PO are separated for every line to the ECC block which consists of 208 line x182 train. And each separated line of one line is inserted at a time among every 12 lines of data division of 192 lines, and serves as a form rearranged as shown in drawing 6. This is called line interleave of PO. Therefore, 16 13 line x182 byte (= data (12 lines) +PO accompanied by PI (one line)) parts gather, and the ECC block after a line interleave is constituted.

[0027] As one record sector points out data (12 lines) +PO which added PI as shown in drawing 5 (one line), i.e., (13 lines x 182 bytes), the constituted sector, and the ECC block after a line interleave is shown in drawing 6, it means consisting of 16 record sectors.

[0028] To a 13 line x182 byte record sector (2366 bytes), a physical sector adds a synchronous (SYNC) sign to the head in every 91 bytes of each line, and carries out a sequential modulation for every line from zero line. What added the SYNC code to the head of 91 bytes of data is called the SYNC frame. Therefore, a physical sector consists of 16 set x2SYNC frames.

[0029] Then, with reference to drawing 7 and drawing 8, the error correcting code addition circuit in a data recorder is explained.

[0030] In drawing 7, sequential storing of the user data transmitted by the host is carried out at buffer memory 2. In case the stored user data are taken out from buffer memory 201, they are processed by the sector information addition means 202, EDC generation and the addition means 203, and the scramble means 204. This processing is processed for 2048 bytes of every Maine data, and is changed into one data sector.

[0031] The sector information addition means 202 adds discernment (data ID) 4 byte, 2 bytes of ID error detecting code (IED), and 6 bytes of copyright management information (CPR_MAI) to the Maine data. EDC generation and the addition means 203 generate and add 4 bytes of error detecting code (EDC) to a total of 2060 bytes of data, and generate a total of 2064 bytes of data sector. The scramble means 204 scrambles the Maine data in a data sector.

[0032] Sequential storing of the scrambled data sector is carried out at ECC memory 205. In this ECC memory 205, the data block of 172 train x192 line for which 16 data sectors of 172 byte x12 line gathered is formed. An error correcting code is generated and added to this data block of 172 train x192 line by PI generation and the addition

means 206, PO generation, and the addition means 207. Thereby, one ECC block is formed.

[0033] Said ECC block is transmitted to modulation / synchronous addition means 208, after a line interleave is carried out, as explained previously. Modulation / synchronous addition means 208 changes 8-bit input data into a 16-bit symbolic language to the inputted ECC block by which the line interleave was carried out. That is, 8/16 modulation is performed. Next, a SYNC sign is added to the head in every 91 bytes of input data, and a physical sector is formed in it. It is transmitted as record data and the formed physical sector is recorded on a medium.

[0034] Here, the effectiveness of an error correcting code is explained.

[0035] A data reversion system including error detection and a correction means reproduces record data. In regeneration, when an error occurs to the data of the reproduced physical sector, an error correction is performed using an error correcting code to the ECC block containing an error. Error detection and a correction means can restore the ECC block which does not contain an original error within the limits of the correction capacity.

[0036] Next, drawing 8 is referred to and error correcting code generation mode of processing by the side of data playback is explained. After the playback data read from the record medium are separated by synchronizing separation and the recovery means 221 with a synchronous sign, the recovery to 8 / 16 modulation data is performed to a pan. Thereby, a record sector is taken out. However, since a defect, a noise and a jitter, a cross talk, etc. of a disk become a cause and an error (regenerative-signal error) occurs in case record data are recorded and reproduced, an error is contained in playback data.

[0037] Sequential storing of the taken-out record sector is carried out at ECC memory 205, and the ECC block of 182 train x208 line which consists of 16 record sectors is built. To this ECC block of 182 train x208 line, an error correction is performed by PO correction means 222 and PI correction means 223, and the error of a regenerative signal is restored.

[0038] PI correction means 223 performs an error correction, when an error pattern detection value syndrome is calculated to each line of an ECC block and an error is detected. A syndrome is set to 0, when original data are mistaken and it is reproduced that there is nothing. When the error of data arises in the middle of record of a signal, or transmission, a syndrome serves as an error location which shows the location which the error produced, and a value determined with the error pattern in which the condition of an error is shown.

[0039] PO correction means 222 takes out 208 bytes of data of PO sequence from memory 205, and performs a predetermined operation. By this operation, when a syndrome is not 0, the error correction of that PO sequence is performed. In this error correction processing, a maximum of 8 bytes of error correction is possible within a sequence by 16 bytes of error correcting code PO. A syndrome is set to 0, when an error correction is performed to corrected data and the data of an error correcting code generate-time point are restored. The above-mentioned actuation is performed about all the 182 trains of an ECC block.

[0040] When 8 bytes or more of error exists to one PO sequence, it becomes impossible to correct an error with PO correction means 222. However, also in this case, if the error contained in one PI sequence is less than 5 bytes when PO correction is given to 182 trains to PI sequence with PI correction means 223, since a maximum of 5 bytes of error correction is possible, that error can be corrected.

[0041] Furthermore, it may be able to correct by repeating PO correction and PI correction also about the error which was not able to be corrected by one PO correction and PI correction. When all the syndromes are set to 0, the error correction of an ECC block is ended.

[0042] The ECC block by which the error correction was carried out is transmitted to the scramble discharge means 224. The scramble discharge means 224 adds scramble data to 2048 bytes of Maine data of the scrambled data sector (EXCLUSIVE OR operation), and after canceling the scramble of the Maine data, it stores them in buffer memory 201.

[0043] The EDC error detection means 225 redoes playback of the sector, when an error is error-detection-detected for a data sector based on 4 bytes of error detecting code (EDC) contained in the data sector. The data sector stored in buffer memory 201 is transmitted to a host one by one.

[0044] By the way, as buffer memory 205 and 201, DRAM (Dynamic-RAM) with a big capacity with low cost is used. However, depending on the mounting condition of the pattern of data, or memory, the data on memory may be rarely damaged from the reasons of the structure of DRAM (memory error). When some data on memory are damaged (memory error), it sets in the condition that the data block was changed and error correcting codes PI and PO are generated and added, the error correcting codes PI and PO turn into the right and an error correcting code to the data changed by the memory error. If the ECC block with the error correcting code generated to this changed data is recorded as it is and it reproduces, the data changed even if it performed error correction processing after playback will be restored.

[0045] Here, the case where the memory error 32 occurred and a data block is changed with reference to drawing 9 to a part of data block 36 of 172 byte x192 line is explained.

[0046] First, although an error correcting code PO is generated and added by PO generation and the addition means 9 to each train of 172 trains, the error correcting code PO33 (16 bytes) of a train 31 is generated based on the data changed by the memory error 32.

[0047] Next, to all the lines of 208 lines containing an error correcting code PO, 10 bytes of error correcting code PI is generated by PI generation and the addition circuit 8, and it is added. Error correcting code PI36 (10 bytes) generated to a line 34 is generated based on the data changed by the memory error 32.

[0048] Furthermore, error correcting code PI37 generated to the error correcting code PO of 16 lines is generated based on the data containing the error correcting code PO33 generated based on the data changed by the memory

error 32.

[0049] Consequently, a normal error correcting code is added to the data block changed by the memory error 32. At this time, all the error pattern detection value syndromes of PI sequence over 208 lines in which error 32 exists, and PO sequence over 182 trains are 0, and it is considered that they are what does not have an error as an ECC block. In fact, original data are changed by the memory error 32.

[0050] Here, the ECC block generated based on the data block by which the alteration was carried out [above-mentioned] is recorded on a record medium, and the playback data at the time of reproducing from this record medium are considered.

[0051] As for playback data, error correction processing is performed using an error correcting code. Here, the error generated to the reproduced data is corrected within the limits of correction capacity, and playback data are restored. However, the memory error contained before record cannot be corrected. That is, even if it performed the error correction of the PO sequence 31 using the error correcting code PO33, after the data containing a memory error 32 are reproduced, an error correction will be completed normally, and restoration of original user data will become impossible.

[0052] Moreover, when a memory error occurs to the data on buffer memory at a playback side, it may transmit to a host by using the data containing a memory error as user data.

[0053] (Point which this invention notes) Although the data changed by error are restored even if it reads this data at the time of playback and performs error correction processing in order to generate an error correcting code based on the data changed by the memory error and to record on a record medium when the data on memory are damaged (error generating) as described above, it becomes impossible to restore original right data.

[0054] Moreover, when the data on the memory after an error correction are damaged at the time of playback (error generating), mistaken data may be transmitted to a host.

[0055] Although it is necessary to realize memory which saves data by the memory of the structure which data breakage does not generate, for example, S-RAM etc., in order to prevent the data breakage on memory (error generating), this configuration is not desirable in respect of cost.

[0056] Then, it is offering the error correcting code generation art which enabled it to perform error correcting code generation processing, its equipment, the recording device using an approach, a regenerative apparatus, transmission equipment, and a receiving set, without losing original data in this invention, when an error takes place on memory.

[0057] (Underlying concept of this invention) The fundamental view of the error correcting code generation processing in this invention PI generation and the addition means of generating and adding error correcting code PI to each line to the data of a multi-line. The buffer memory which stores the data which PI error correcting code obtained with said PI generation and an addition means added. By the result to which the error correction was carried out with an PI error correction means to perform the error correction of each line using error correcting code PI which read said data from said buffer memory, and was added to each line, and this PI error correction means The defect field of said buffer memory is judged and it has the memory control means which transposes this field to another field.

[0058] That is, an error correcting code PO is generated and added to the data which stored in said memory the data with which error correcting code PI was generated and added to the data before storing in buffer memory, and this error correcting code PI was added, and were stored in this buffer memory, and error correction processing using said error correcting code PI is performed to the data read from this buffer memory.

[0059] In the error correction processing using error correction PI, when the repeat memory error has arisen, control of transposing the error generating field concerned of said buffer memory to another field is performed.

[0060] It judges whether as a decision criterion of the memory error having arisen repeatedly, the memory error has occurred in the specific location (address) repeatedly. Moreover, it judges whether the number of memory errors which cannot be corrected in a specific field has occurred repeatedly. Moreover, in an error correcting code's PO existence location, there is a method of judging how [that the memory error has generated repeatedly] it is.

[0061] In transposing an error generating field to another field, it transposes the line which the memory error generated to another field. That is, there is a method of performing replacement processing of a line unit. Moreover, there is a method of performing replacement processing per data block.

[0062] Hereafter, the description section of this invention is explained to a detail about a concrete example using a drawing.

[0063] First, with reference to drawing 10, the error correcting code addition circuit in the data recorder which is the 1st operation gestalt of this invention is explained.

[0064] The user data from a host computer are changed into one data sector for 2048 bytes of every Maine data by the sector information addition means 15.

[0065] The sector information addition means 15 adds discernment (data ID) 4 byte, 2 bytes of ID error detecting code (IED), and 6 bytes of copyright management information (CPR_MAI) to the Maine data (2048 bytes). EDC generation and the addition means 16 generate and add 4 bytes of error detecting code (EDC) to a total of 2060 bytes of data containing ID, IED, and CPR_MAI, and generate a total of 2064 bytes of data sector. The scramble means 17 adds scramble data to the Maine data (2048 bytes) (EXCLUSIVE OR operation), and scrambles the Maine data.

[0066] PI generation and the addition means 8 generate error correcting code PI (10 bytes) to each line (172 bytes) of the scrambled data sector (or data block) (172 bytes x 12 lines = 2064 bytes). And sequential storing of generated error correcting code PI is carried out through the memory control means 20 at buffer memory 2.

Moreover, corresponding data of 172 byte x12 line are also stored in buffer memory 2 through the memory control means 20 one by one. The data (information data block) which PI of 182 byte x12 line added by this are generated. Such data processing is continued and 16 information data blocks to which error correcting code PI was added are built by buffer memory 2. That is, within buffer memory 2, 16 data sectors (PI addition data) of 182 byte x12 line gather, and set PI addition data (or set information data block) of 182 byte x192 line are built.

[0067] Error correcting code PI generated by the above-mentioned processing is normal error correcting code PI which uses original data as former data.

[0068] PO generation and the addition means 9 generate and add an error correcting code PO (16 bytes) here to each train (192 bytes) of the set information data block (182 bytes x 192 lines) stored in buffer memory 2.

Consequently, the ECC block with which error correcting codes PI and PO were added is built to the set information data block stored in buffer memory 2.

[0069] Since it has the function accumulated until it records the data transmitted from the host computer on a record medium, buffer memory 2 has sufficient capacity to store two or more ECC blocks, for example, consists of DRAMs. In DRAM, the data on memory may be rarely damaged according to the mounting condition of the pattern of data, or memory. The so-called memory error may occur. Moreover, if the previous error correcting code PO is generated in such the condition, this error correcting code PO will turn into an error correcting code which uses the data containing a memory error as former data.

[0070] The ECC block in buffer memory 2 is read one line (182 bytes) every, and is stored in the line memory 3. PI correction means 10 performs PI correction processing using the line memory 3. A previous memory error is corrected and is recovered to original data (normal ECC block) here. The line memory 3 consists of SRAM (Static-RAM), and has the capacity which can store one line (182 bytes) of PI sequence.

[0071] It is sent to sequential modulation / synchronous addition means 4, 8/16 modulation and a synchronous sign are added, and the line data outputted from the line memory 3 are outputted as record data to a record medium.

[0072] Drawing 11 shows signs that the error (error 42 produced by the above-mentioned memory error or the external noise) has arisen to some data of the ECC block outputted from buffer memory 2.

[0073] In this invention, before data are stored in buffer memory 2, the sector memory 1 is used for error correcting code PI, and error correcting code PI generation is carried out. Therefore, 192 line containing a line 45 of the whole is covered, and error correcting code PI is an error correcting code which makes original data origin. That is, error correcting code PI of drawing 11 is the error correcting code created to the data with which error 42 does not exist.

[0074] On the other hand, PO generation and the addition means 9 generate an error correcting code PO conjointly with buffer memory 2 based on the data of each train (192 bytes). Therefore, the error correcting code PO44 (16 bytes) about a train 41 is an error correcting code created by carrying out based on the data containing a memory error 42.

[0075] In a product code, even if it carries out generation addition of the sign PO previously even if the part 48 of the error correcting code to an error correcting code generates and adds Sign PI previously and then generates and adds Sign PO, and then it carries out generation addition of the sign PI, it has the property in which the completely same sign pattern is obtained.

[0076] Here, error correcting code PI is the right error correcting code added to the original data before error generating. Therefore, the error correcting code PO generated and added to the block of error correcting code PI can be said to be the right error correcting code which makes original data origin. Moreover, the error correcting code PO added to other trains (171) except a train 41 among 172 trains shown in drawing 11 can also be said to be a right error correcting code.

[0077] When such an ECC block is read from buffer memory 2 to **** and PI correction processing is performed by the line memory 3, PI correction of the error 42 of a line 45 is carried out easily. That is, the line 45 of right data is restored. Moreover, it is corrected by the right PO system by giving PI correction also to each line of PO system created to data including error 42. That is, 1 byte of 43 is corrected by giving PI correction to a line 46. Correction will be similarly performed about other lines (location of the trigonum mark of drawing), and a right PO system will be generated.

[0078] The above-mentioned processing was explained using the line memory 3 as what performs PI correction processing to all the lines of an ECC block. However, PI correction processing may be performed only to each line of the location of the trigonum mark of drawing not only for this but for processing-time compaction. If PO system of the location of the trigonum mark of drawing is a right error correcting code, a memory error 42 is because it can correct easily later.

[0079] The above-mentioned explanation explained using the ECC block with which PO block is not distributed one line at a time in the set data block. However, as drawing 1 and drawing 6 explained the actual ECC block, the error correcting code PO of one line is distributed by each set data block. That is, the error correcting code PO is distributed so that one line of an error correcting code PO may exist to the set data block of 12 lines.

[0080] Although the recovered line is also shown in drawing 10 mentioned above, about this, it will mention later.

[0081] Next, the function of the memory control means 20 is explained. The memory control means 20 receives storing of data, or the demand of ejection from PI generation and the addition means 8, synchronizing separation and a recovery means 11, PO generation and the addition means 9, PO correction means 9, PI correction means 10, and the line memory 3. According to this demand, the memory control means 20 performs writing of the data to buffer memory 2, or data readout from buffer memory 2. In this case, the memory control means 20 can control a data

storage location not to use the defect memory area of buffer memory 2.

[0082] Now, PI correction means 10 requires the data ejection of the memory control means 20, and presupposes that the data for one line were stored in the line memory 3. Next, PI correction means 10 presupposes that error correction processing of the data of the line memory 3 was performed. At this time, the error information, as for detection **** and PI correction means 10, an error indicates the location of an error to be is sent to the memory control means 20.

[0083] The memory control means 20 registers into the error address register 21 the address with which the data which the error generated were stored. The count is also registered into the error address register 21 when an error occurs in the same address. The memory control means 20 judges the address as the defect address here, when a memory error occurs twice in the same address. And the memory control means 20 registers defect address information into the defect address register 22. The decision criterion which registers defect address information into the defect address register 22 is good also as three repeats or more than it.

[0084] The defect address information registered into the defect address register 22 is referred to at the data write-in address and the read-out address control section 23, and the defect address ceases to be used.

[0085] For example, in case you store - (B207,181) from the data stream (0 B 0) of an ECC block of drawing 12 (A), and Address A, suppose that the address (A+J) was registered into the defect address register. then, it is shown in drawing 12 (B) — as (B0, J) — it is stored in the address (A+J +1) which flew the address (A+J). Under the present circumstances, even preparation may store (B0, J) in a **** alternative field beforehand. Moreover, in case a defect memory area is managed, you may manage not only in a cutting tool unit but in a line unit etc.

[0086] Next, reprocessing of data when PI correction goes wrong (when impossible) is explained.

[0087] PI correction becomes impossible when six or more memory errors occur to one line. Moreover, when six or more memory errors occur to the data of 1ECC block, PI correction to PO (16 lines) may go wrong.

[0088] If having exceeded the number of errors which can correct an error is detected when PI correction processing is performed, the memory area to be used will be changed and reprocessing will be performed. In the case of reprocessing, resending of data is required of a host computer. And the data to which error correcting code PI was added again are stored in buffer memory 20 through the memory control means 20. Under the present circumstances, the memory area to be used is the field which replaced the error field where the previous error was generated, or a free area from which an error field differs.

[0089] In each line of the field where the error correcting code PO is stored, when the number of errors which can correct an error is exceeded, reprocessing can be performed by the following approaches.

[0090] In case reprocessing is performed, the 192 line x182 byte set information data block (error correcting code PI is included) memorized in the 1st storage region in buffer memory 2 is moved to the 2nd storage region of buffer memory 2. And after performing PI correction processing to each line, PO generation and attached processing are again performed using the 2nd storage region in buffer memory 2. When it does in this way, reprocessing can be performed inside equipment, without requiring resending of data of a host computer.

[0091] Drawing 13 is drawing for explaining migration of the data on buffer memory 2.

[0092] The ECC block (n) stored from the address A0 is moved to the free area which makes address A3 a head with the data migration means 24. Under the present circumstances, although the moved data contain the memory error contained to the field of the address A0, these memory errors are restored by performing PI correction processing to each line. Data after performing PI correction processing are used, and PO generation and attached processing are performed. In this case, if the memory error to generate is less than five pieces, an error correction is possible for the error correcting code PO generated by PI correction processing.

[0093] The actuation at the time of return and data playback is explained to drawing 10.

[0094] The playback data read in the record medium by the optical head are introduced into synchronizing separation and the recovery means 11. With this synchronizing separation and recovery means 11, the recovery of synchronous detection and separation, and 8/16 modulation is given from playback data. Thereby, a record sector is obtained. However, since a blemish, a noise, etc. of a disk become a cause and an error occurs to data in case data are recorded and reproduced to a record medium, an error may be contained in the data in a record sector.

[0095] Sequential storing of the taken-out record sector is carried out through the memory means 20 at buffer memory 2, 16 record sectors gather, and the ECC block of 208 line x182 train is formed within buffer memory 2. An error correction is performed by PO correction means 14 and PI correction means 10 to the ECC block of this 208 line x182 train.

[0096] The ECC block by which the error correction was carried out is read from buffer memory 2 in order of one-line [every] (172 bytes) data transmission, and is stored in the line memory 3. PI correction means 10 performs PI correction to 172 bytes of each line here using the line memory 3. It is restored by PI correction even if a memory error arises into the scrambled data sector in buffer memory 2 by this.

[0097] Next, the scramble discharge means 13 converts scramble data to the Maine data (2048 bytes) of the scrambled data sector (EXCLUSIVE OR operation), and generates the data sector before a scramble. Furthermore, the EDC error detection means 12 detects the error of a data sector using 4 bytes of error detecting code (EDC) contained in the data sector. Detection of that there is no error in a data sector transmits the data sector to a host.

[0098] As described above, this invention is effective in the signal transmission / record, and the regenerative apparatus which can perform error correcting code generation processing, without losing original data, when an error takes place on memory. Moreover, even when the incidence rate of a memory error is gathered instead of simplifying

defect inspection of buffer memory and raising the yield, record to a record medium is possible for this invention, without losing original data, and it adopts and is effective in a signal transmission / cheap record, and a cheap regenerative apparatus. As a transmission receiving system, it is applicable to the various devices of the digital-communication field. They are a sender receiver terminal between a wireless machine like a cellular-phone machine, and a computer, a television transmitter-receiver, etc. Moreover, as a field of a record reversion system, this invention is adopted as a DVD device, CD device, the memory device that adopted communication facility further, and is effective.

[0099]

[Effect of the Invention] As explained above, even if this invention is the case where a data error (memory error) arises on memory, it can offer the equipment of the equipment of the data-processing approach using the error correcting code which can restore original right data, the recording system which adopted this approach, or a reversion system, a transmission system, and a receiving system.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS.

[Brief Description of the Drawings]

[Drawing 1] The explanatory view showing a data-processing procedure until it obtains the physical sector in DVD.

[Drawing 2] The explanatory view showing the configuration of the data sector in DVD.

[Drawing 3] The explanatory view of the feedback form shift register made to generate scramble data.

[Drawing 4] The explanatory view showing an ECC block.

[Drawing 5] The explanatory view showing a record sector.

[Drawing 6] The explanatory view showing the ECC block with which the error correcting code PO was interleaved.

[Drawing 7] The block diagram shown in order to explain the error correcting code generation method in the recording system of the conventional record regenerative apparatus.

[Drawing 8] The block diagram shown in order to explain error correction mode of processing in the reversion system of the conventional record regenerative apparatus.

[Drawing 9] Drawing for explaining an error correcting code when a DRAM memory error occurs in the conventional record regenerative apparatus.

[Drawing 10] The block diagram of the recording system shown in order to explain one example of the error correcting code generation method concerning this invention, and a reversion system.

[Drawing 11] The explanatory view shown in order to explain the example of the error correction processing by the error correcting code generation method concerning this invention when a memory error arose.

[Drawing 12] The explanatory view shown in order to explain the example which processes an ECC block with the error correcting code generation method concerning this invention when a memory error arises.

[Drawing 13] The explanatory view shown in order to explain other examples which process an ECC block with the error correcting code generation method concerning this invention when a memory error arises.

[Description of Notations]

1 [— Modulation / synchronous addition means, 5 / — A sector information addition means, 6 / — EDC generation and an addition means, 7 / — A scramble means, 8 / — PI generation and an addition means, 9 / — PO generation and an addition means, 10 / — PI correction means, 11 / — Synchronizing separation and a recovery means, 12 / — An EDC error detection means, 13 / — A scramble discharge means, 14 / — PO correction means.] — Sector memory, 2 — Buffer memory, 3 — Line memory, 4

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-202919
(P2002-202919A)

(43) 公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl. ⁷	識別記号	F I	データ* (参考)
G 0 6 F 12/16	3 2 0	G 0 6 F 12/16	3 2 0 F 5 B 0 0 1
	3 1 0		3 2 0 C 5 B 0 1 8
11/10	3 2 0	11/10	3 1 0 R 5 J 0 6 8
	3 3 0		3 2 0 K 5 K 0 1 4
			3 3 0 K

審査請求 有 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-401172(P2000-401172)

(22) 出願日 平成12年12月28日 (2000.12.28)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 小竹 昇一

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町事業所内

(72) 発明者 石沢 良之

神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

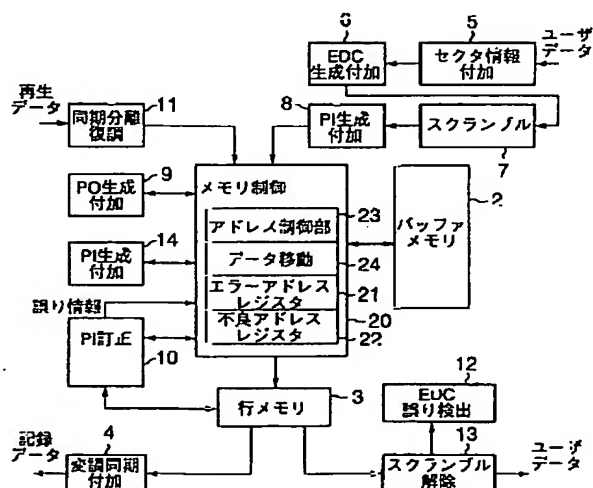
最終頁に続く

(54) 【発明の名称】 誤り訂正符号を用いたデータ処理装置

(57) 【要約】

【課題】 メモリに格納したデータに対して誤り訂正符号を生成及び付加する際、メモリ上のデータにエラーが発生してもその影響を無くす。

【解決手段】 データをメモリに格納する前に誤り訂正符号 P I を生成し、先のデータと合わせメモリに書き込む。16セクタ分のデータおよび P I を格納後、データと P I に対して誤り訂正符号 P O の生成及び付加を行う。メモリよりデータを取り出す際、P I 系列を取り出す毎に P I 訂正処理を行う。これにより、メモリ上でのデータ破損 (エラー) が発生しても修復することが出来る。メモリ上でメモリエラーが発生する領域を検出したら、その領域を使用しないようにメモリ制御手段でコントロールする。



【特許請求の範囲】

【請求項1】1行がNバイトで構成される複数行のデータに対して、各行に誤り訂正符号P I (Pバイト)を生成して付加するP I生成及び付加手段と、

前記P I生成及び付加手段で得られた1行がN+Pバイトで構成されるP I誤り訂正符号が付加したデータを格納するバッファメモリと、

前記バッファメモリから前記データを読み出して伝送する前に、各行に付加された誤り訂正符号P Iを用いて各行の誤り訂正を行なうP I誤り訂正手段と、

このP I誤り訂正手段で誤り訂正が行なわれたときに、誤りが検出されたデータが格納されている前記バッファメモリのメモリ領域の情報を記憶し、繰り返し誤りが検出されたデータが格納されている前記バッファメモリのメモリ領域を、別のメモリ領域に置き換えるメモリ制御手段とを具備したことを特徴とする誤り訂正符号を用いたデータ処理装置。

【請求項2】ホストコンピュータから送られてくる、1行がNバイトで構成される複数行のデータに対して、各行に誤り訂正符号P I (Pバイト)を生成して付加するP I生成及び付加手段と、

前記P I生成及び付加手段で得られた1行がN+Pバイトで構成されるP I誤り訂正符号が付加したデータを格納するバッファメモリと、

M行×(N+P)列の(M×(N+P))バイトで構成される、誤り訂正符号P Iが付加した情報データブロックを、K個集合させ、(K×(M×(N+P)))バイトの集合情報データブロックとし、前記バッファメモリを用いて、前記集合情報データブロックの各列に誤り訂正符号P OのSバイトを生成及び付加した誤り訂正積符号ブロック(ECCブロック)とするP O生成及び付加手段と、

前記バッファメモリから前記データを読み出して伝送する前に、各行に付加された誤り訂正符号P Iを用いて各行の誤り訂正を行なうP I誤り訂正手段と、

このP I誤り訂正手段で誤り訂正が行なわれたときに、誤り訂正可能な誤り数を超えたことを検出した場合、前記誤り訂正符号P Iが付加される前のデータを前記ホストコンピュータに再度要求して上記の誤り訂正符号P Iが付加されたデータとし、このデータを前記バッファメモリに格納する場合には、前回前記データを格納した第1の記憶領域とは異なる第2の記憶領域を指定する制御手段とを具備したことを特徴とする誤り訂正符号を用いたデータ処理装置。

【請求項3】1行がNバイトで構成される複数行のデータに対して、各行に誤り訂正符号P I (Pバイト)を生成して付加するP I生成及び付加手段と、

前記P I生成及び付加手段で得られた1行がN+Pバイトで構成されるP I誤り訂正符号が付加したデータを格納するバッファメモリと、

M行×(N+P)列の(M×(N+P))バイトで構成される、誤り訂正符号P Iが付加した情報データブロックを、K個集合させ、(K×(M×(N+P)))バイトの集合情報データブロックとし、前記バッファメモリを用いて、前記集合情報データブロックの各列に誤り訂正符号P OのSバイトを生成及び付加した誤り訂正積符号ブロック(ECCブロック)とするP O生成及び付加手段と、

前記バッファメモリから前記データを読み出して伝送する前に、各行に付加された誤り訂正符号P Iを用いて各行の誤り訂正を行なうP I誤り訂正手段と、

このP I誤り訂正手段で、前記誤り訂正符号P Oが存在する行の誤り訂正が行なわれたときに、誤り訂正可能な誤り数を超えたことを検出した場合、前記バッファメモリの第1の領域に記憶された前記(K×(M×(N+P)))バイトの集合情報データブロックを前記バッファメモリの第2の領域に移動し、

前記第2の領域における前記(K×(M×(N+P)))バイトの集合情報データブロックに対して、前記P O生成及び付加手段を介して各列に誤り訂正符号P OのSバイトを生成及び付加する制御手段とを具備したことを特徴とする誤り訂正符号を用いたデータ処理装置。

【請求項4】誤り訂正符号P Iが付加された(K×M×(N+P))バイトの集合情報データブロックと、(S×(N+P))バイトの誤り訂正符号P Oブロックとが伝送手段あるいは記録媒体から送られて来た場合、(但し、前記集合情報データブロックは、M行×N列の(M×N)バイトで構成されるデータブロックがK個集合した(K×(M×N))バイトの集合データブロックの各行に誤り訂正符号P IのPバイトが付加されたものであり、また前記誤り訂正符号P Oブロックは、前記集合データブロック及び前記誤り訂正符号P Iのブロックの各列に誤り訂正符号P OのSバイトが生成されたもの)

バッファメモリを用いて、前記誤り訂正符号P I及びP Oにより、前記集合データブロックのエラーデータバイトに対する第1の誤り訂正処理を行う第1の手段と、

前記第1の誤り訂正処理を行った後のデータに対して、さらに前記バッファメモリより小さな容量の小メモリを用いて、再度前記誤り訂正符号P Iにより、行に対する第2の誤り訂正処理を行う第2の手段と、

この第2の手段により、P I系の誤り訂正が行なわれたときに、誤りが検出されたデータが格納されている前記バッファメモリのメモリ領域の情報を記憶し、繰り返し誤りが検出されたデータが格納されている前記バッファメモリのメモリ領域を、別のメモリ領域に置き換えるメモリ制御手段とを具備したことを特徴とする誤り訂正符号を用いたデータ処理装置。

【請求項5】誤り訂正積符号ブロック(ECCブロッ

ク)が伝送手段或いは記録媒体から送られて来た場合、(但し、前記ECCブロックは、 M 行 \times N 列の $(M \times N)$ バイトで構成されるデータブロックの、各行に誤り訂正符号P IのPバイトを生成及び付加し、 M 行 \times $(N+P)$ 列の $(M \times (N+P))$ バイトで構成される、誤り訂正符号P Iが付加した情報データブロックを K 個集合させ、 $(K \times (M \times (N+P)))$ バイトの集合情報データブロックとし、前記集合情報データブロックの各列に誤り訂正符号P Oの $(S=K \times Q)$ バイトを生成及び付加し、前記誤り訂正符号P Oを Q バイト毎に、上記誤り訂正符号P Iが付加された K 個の各情報データブロックに分散配置させることで、各情報データブロックは、情報データと誤り訂正符号によって構成される、一定値 $(M+Q) \times (N+P)$ バイトになるように構成されているECCブロック)、バッファメモリを用いて前記誤り訂正符号P I及びP Oにより、前記データブロックのエラーデータバイトの第1の誤り訂正処理を行う第1の手段と、前記第1の誤り訂正処理を行った後のデータに対して、さらに前記バッファメモリより小さな容量の小メモリを用いて、再度前記誤り訂正符号P Iにより、行に対する第2の誤り訂正処理を行う第2の手段と、この第2の手段によりP I訂正が行なわれたときに、誤り訂正可能な誤り数を越えたことを検出した場合、前記誤り訂正符号P Iが付加される前のデータを前記伝送手段或は記録媒体に再度要求して上記の誤り訂正符号P Iが付加されたデータとし、このデータを前記バッファメモリに格納する場合には、前回前記データを格納した第1の記憶領域とは異なる第2の記憶領域を指定する制御手段とを具備したことを特徴とする誤り訂正符号を用いたデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像データ、音声データ、コンピュータデータなどを媒体(例えば、光ディスク、磁気ディスクなど)上に記録する場合、或は媒体に記録されたデータを再生する場合に有効な誤り訂正符号生成処理方法を用いたデータ処理装置に関する。

【0002】またこの発明は、上記の映像データなどを伝送処理する場合、或は受信処理する場合に有効な誤り訂正符号生成処理方法を用いたデータ処理装置に関する。

【0003】さらにまたこの発明は、上記の誤り訂正符号処理方法を採用した記録装置、再生装置、伝送装置、受信装置に有効である。

【0004】そして特にこの発明は、誤り訂正符号処理を行う場合に、バッファメモリを用いて誤り訂正処理を行う方法に特徴を備えている。

【0005】

【従来の技術】映像データ、音声データ、コンピュータ

データなどを、例えば、光ディスクや磁気ディスク上に記録する場合、データブロックに対して誤り訂正符号が付加される。誤り訂正符号付加処理においては、データブロックを一旦メモリに格納し、そのデータブロックの行、列に対する誤り訂正符号が生成される。

【0006】行に付加される誤り訂正符号は、通常インターパリティーと称され、P Iと略記され、列に付加される誤り訂正符号は、通常アウトパリティーと称され、P Oと略記される。

【0007】

【発明が解決しようとする課題】誤り訂正符号の付加処理において、誤り訂正符号を生成する前に、データブロックを一旦メモリに格納した際、メモリ上のデータの一部破損(エラー発生)することがある。これは、データのパターンやメモリの実装状態が起因するものと見られる。また外部からの突然のノイズが影響している場合もある。

【0008】このときに生じたエラーは、メモリエラーと称される。このような場合は、メモリエラーが生じているデータブロック(改変データブロックと称することにする)に対する誤り訂正符号が生成され、この誤り訂正符号が改変データブロックに付加されて記録媒体に記録される。

【0009】記録媒体の再生時には、誤り訂正処理回路において、上記誤り訂正符号が用いられ改変データブロックに対するエラー訂正処理が実行される。つまり改変データブロックが正しく再現されることになる。このことは、上記メモリエラーを含むデータブロックを正確に再生したことを意味する。しかしメモリエラーは、本来のデータには不要なエラーである。したがって、上記のメモリエラーが発生した場合、本来の正しいデータを復元することは不可能である。

【0010】そこで本発明は、メモリ上でデータエラー(メモリエラー)が生じた場合であっても、本来の正しいデータを復元することが可能であり、かつメモリの利用方法を工夫しており、動作上の信頼性を得るデータ処理装置を提供することを目的とする。

【0011】

【課題を解決するための手段】この発明の誤り訂正符号処理方法の基本的な考え方は、以下の通りである。

【0012】即ち、この発明は、伝送又は記録系において、行列構成のデータブロックの各行に対して誤り訂正符号P Iを生成して、この誤り訂正符号P Iと前記データブロックを共にメモリに格納する。次に、誤り訂正符号P Iが付加された情報データブロックが前記メモリから読み出されたときに、その情報データブロックの行に対して、前記誤り訂正符号P Iを用いた誤り訂正処理を行うことを特徴とする。

【0013】そして誤り訂正符号P Iを用いた誤り訂正処理を行っているときに、訂正不可能なケースを検出し

た場合は、当該行または情報データブロックが格納されている前記メモリの領域を変更するようにし、メモリエラーが発生するのを回避できるようにしている。またメモリエラーが生じた領域を学習し、以後はその領域を利用しないようにしている。

【0014】

【発明の実施の形態】以下、この発明の実施の形態を図面を用いて説明する。

【0015】まず、図1～図8を参照して、データ記憶再生装置における誤り訂正符号付加回路、および誤り訂正回路の構成をDVD（デジタル・バーサタイル・ディスク）の例を用いて説明する。

【0016】はじめに、図1から図6を参照して、DVDの記録データの構造を説明する。

【0017】図1は、DVDにおける物理セクタを得るためのデータ処理順序を示す図である。セクタは信号処理の段階に従って“データセクタ”、“記録セクタ”、および“物理セクタ”と呼ばれる。データセクタには、図2に示すように、メインデータが2048バイト、識別データ（ID）が4バイト、ID誤り検出符号（IED）（IDのエラーを検出するための符号）が2バイト、著作権管理情報（CPR、MAI）が6バイト、および誤り検出信号（EDC）（このデータセクタの誤りを検出するための信号）が4バイト含まれる。このような、ID、IED、CPR、MAI、EDCを付加する工程が図1のステップA1乃至A3である。ステップA1で、メインデータにIDが付加される。ステップA2でさらにIEDが付加される。さらにステップA3でCPR、MAIが付加される。

【0018】次に、メインデータに対するEDCが算出され、このEDCがメインデータに付加される。次に、スクランブルデータがデータセクタのメインデータ（2048バイト）に加えられる（ステップA4、A5、A6）。その後、スクランブル後の16個のデータセクタが集合され、この16個のデータセクタに対して、クロスリードソロモン誤り訂正符号が生成及び付加される（ステップA6）。記録セクタはECCが付加された後のセクタであり、誤り訂正符号PI、および誤り訂正符号POが付加されたデータセクタである（ステップA7）。物理セクタは、記録セクタの91バイトごとの先頭に同期符号（SYNC符号）を加えた8/16変調後のセクタである（ステップA8）。

【0019】続いて、DVDのデータセクタの構造についてさらに図2を用いて説明する。

【0020】データセクタは、2048バイトのメインデータを含む2064バイトすなわち172バイト×12行から成る。即ち、データセクタには、メインデータが2048バイト、識別データ（ID）が4バイト、ID誤り検出符号（IED）が2バイト、著作権管理情報（CPR、MAI）が6バイト、および誤り検出符号

（EDC）が4バイト含まれる。

【0021】図3には、ステップA4でメインデータ（2048バイト）にスクランブルを施すスクランブルデータSkを発生する帰還形シフトレジスタを示している。スクランブルデータSkを発生するための初期値としては、例えばデータセクタのIDの一部のデータが用いられる。スクランブルデータSkは、データセクタのメインデータ（2048バイト）Dkをスクランブルする。これによりスクランブル後のメインデータDk'は、Dkに対してSk（k=0～2047）が排他的論理和処理された結果となる。

【0022】図4を用いてECCブロックの構成について説明する。

【0023】データブロックは、172バイト×12行のデータセクタが16個集まった172列×192行として形成される。この172列×192行に対してリードソロモン誤り訂正符号が生成されて付加される。まず、172列の各列に対して16バイトの誤り訂正符号POが生成されて付加される。PO系列の各列は、192バイト+16バイト、すなわち208バイトで構成される。次に、誤り訂正符号POの行を含む208行すべての行に対して、10バイトの誤り訂正符号PIが生成され付加される。誤り訂正符号PI、POが付加された182列×208行が一つのECCブロックである。なお、PO、PIの生成順序を逆にしても全く同じ符号パターンが得られる。

【0024】上記ECCブロックの縦方向の1列をPO系列、横方向の1行をPI系列と呼ぶ。1つのPO系列は192バイト+16バイト、即ち208バイトで構成され、1系列内で最大8バイトの誤り訂正が可能である。1つのPI系列は172バイト+10バイト、即ち182バイトで構成され、1系列内で最大5バイトの誤り訂正が可能である。

【0025】次に、図5および図6を参照して記録セクタの構造について説明する。

【0026】208行×182列からなるECCブロックに対して、誤り訂正符号POを構成している16行が、1行ごとに分離される。そして、分離された各行は、192行のデータ部の12行ごとの間に1行ずつ挿入され、図6に示すように再配置された形となる。これをPOの行インターリーブと言う。したがって、行インターリーブ後のECCブロックは、13行×182バイト（=PIを伴うデータ（12行分）+PO（1行分））の部分が、16個集まって構成される。

【0027】1つの記録セクタは、図5に示すように、PIを加えたデータ（12行分）+PO（1行分）、即ち（13行×182バイト）で構成されたセクタを指し、行インターリーブ後のECCブロックは、図6に示すように、16個の記録セクタで構成されることを意味する。

【0028】物理セクタは、13行×182バイトの記録セクタ(2366バイト)に対し、各行の91バイトごとの先頭に同期(SYNC)符号を加え、かつ、0行から行ごとに順次変調したものである。91バイトのデータ先頭にSYNCコードを加えたものをSYNCフレームと呼ぶ。よって、物理セクタは16組×2SYNCフレームから構成される。

【0029】続いて、図7および図8を参照して、データ記録装置における誤り訂正符号付加回路について説明する。

【0030】図7において、ホストから送信されたユーザーデータは、バッファメモリ2に順次格納される。格納されたユーザーデータは、バッファメモリ201から取り出される際、セクタ情報付加手段202、EDC生成及び付加手段203、スクランブル手段204により処理される。この処理は、2048バイトのメインデータごとに処理され、1つのデータセクタに変換される。

【0031】セクタ情報付加手段202は、識別データ(ID)4バイト、ID誤り検出符号(IED)2バイト、著作権管理情報(CPR_MAI)6バイト、をメインデータに付加する。EDC生成及び付加手段203は、計2060バイトのデータに対して誤り検出符号(EDC)4バイトを生成して付加し、計2064バイトのデータセクタを生成する。スクランブル手段204は、データセクタ中のメインデータをスクランブルする。

【0032】スクランブルされたデータセクタは、ECCメモリ205に順次格納される。このECCメモリ205内には、172バイト×12行のデータセクタが16個集まった172列×192行のデータブロックが形成される。この172列×192行のデータブロックに対して、PI生成及び付加手段206、PO生成及び付加手段207により、誤り訂正符号が生成されて付加される。これにより、1つのECCブロックが形成される。

【0033】前記ECCブロックは、先に説明したように、行インターリーブされた上で、変調・同期付加手段208に送信される。変調・同期付加手段208は、入力された行インターリーブされたECCブロックに対し、8ビットの入力データを16ビットの符号語に変換する。つまり8/16変調を施す。次に、入力データの91バイトごとの先頭にSYNC符号を付加して物理セクタを形成する。形成された物理セクタは、記録データとして送信され媒体に記録される。

【0034】ここで、誤り訂正符号の効果について説明する。

【0035】誤り検出及び訂正手段を含むデータ再生系は、記録データを再生する。再生処理では、再生された物理セクタのデータに誤りが発生した場合、誤りを含んだECCブロックに対し誤り訂正符号を用いて誤り訂正

を行う。誤り検出及び訂正手段は、その訂正能力の範囲内においては、本来の誤りを含まないECCブロックを復元することができる。

【0036】次に図8を参照してデータ再生側における誤り訂正符号生成処理方式を説明する。記録媒体から読み込まれた再生データは、同期分離・復調手段221により、同期符号と分離された後、さらに8/16変調データに対する復調が行なわれる。これにより記録セクタが取り出される。ただし記録データを記録、及び再生する際に、ディスクの欠陥や雑音、ジッタやクロストークなどが原因となり誤り(再生信号エラー)が発生するため、再生データには誤りが含まれる。

【0037】取り出された記録セクタは、ECCメモリ205に順次格納され、16記録セクタで構成される182列×208行のECCブロックが構築される。この182列×208行のECCブロックに対して、PO訂正手段222、PI訂正手段223により誤り訂正が行なわれ、再生信号のエラーが修復される。

【0038】PI訂正手段223は、ECCブロックの各行に対して誤りパターン検出値シンドロームを計算し、誤りが検出された場合には、誤り訂正を行う。シンドロームは、本来のデータが誤り無く再生された場合には0となる。信号の記録や伝送の途中でデータの誤りが生じたときには、シンドロームは、その誤りが生じた位置を示す誤り位置と、誤りの状態を示す誤りパターンによって決定される値となる。

【0039】PO訂正手段222は、PO系列の208バイトのデータをメモリ205より取り出し、所定の演算を施す。この演算により、シンドロームが0でない場合は、そのPO系列の誤り訂正を行なう。この誤り訂正処理では、16バイトの誤り訂正符号POにより、系列内で最大8バイトの誤り訂正が可能である。被訂正データに対して誤り訂正が行なわれ、誤り訂正符号生成時点のデータが復元された場合には、シンドロームは0となる。上記操作がECCブロックの182列の全てについて行われる。

【0040】1つのPO系列に対して8バイト以上の誤りが存在する場合、PO訂正手段222により誤りを訂正することは不可能となる。しかし、この場合においても、PI訂正手段223によりPI系列に対して最大5バイトの誤り訂正が可能であるため、182列に対してPO訂正を施した時点で1つのPI系列に含まれる誤りが5バイト以内であれば、その誤りを訂正可能である。

【0041】さらに、PO訂正、PI訂正を繰り返すことで、1回のPO訂正、PI訂正で訂正できなかった誤りについても訂正できる可能性がある。全てのシンドロームが0となった時点でECCブロックの誤り訂正は終了する。

【0042】誤り訂正されたECCブロックは、スクランブル解除手段224に送信される。スクランブル解除

手段224は、スクランブルされたデータセクタのメインデータ2048バイトにスクランブルデータを加算（排他的論理和演算）し、メインデータのスクランブルを解除した上でバッファメモリ201に格納する。

【0043】EDC誤り検出手段225は、データセクタに含まれている誤り検出符号（EDC）4バイトを基にデータセクタの誤り検出し、誤りが検出された場合はそのセクタの再生をやり直す。バッファメモリ201に格納されたデータセクタは、順次ホストに送信される。

【0044】ところで、バッファメモリ205、201としては、コストが低く容量が大きなDRAM（Dynamic-RAM）が使用される。しかし、DRAMの構造上の理由からデータのパターンやメモリの実装状態によっては、まれにメモリ上のデータが破損（メモリエラー）する場合がある。メモリ上のデータの一部が破損（メモリエラー）し、データブロックが改変された状態において、誤り訂正符号PI、POを生成及び付加した場合、その誤り訂正符号PI、POはメモリエラーによって改変されたデータに対して正しい、誤り訂正符号となる。この改変されたデータに対して生成された誤り訂正符号をもつECCブロックをそのまま記録し、再生するならば、再生後に誤り訂正処理を行ったとしても改変されたデータが復元されてしまう。

【0045】ここで、図9を参照して、172バイト×192行のデータブロック36の一部に対し、メモリエラー32が発生しデータブロックが改変された場合について説明する。

【0046】まず、172列の各列に対して誤り訂正符号POがPO生成及び付加手段9により、生成及び付加されるが、列31の誤り訂正符号PO33（16バイト）はメモリエラー32によって改変されたデータをもとに生成される。

【0047】次に、誤り訂正符号POを含む208行のすべての行に対して、PI生成及び付加回路8により10バイトの誤り訂正符号PIが生成され付加される。行34に対して生成される誤り訂正符号PI36（10バイト）は、メモリエラー32によって改変されたデータをもとに生成される。

【0048】更に、16行の誤り訂正符号POに対して生成される誤り訂正符号PI37は、メモリエラー32によって改変されたデータをもとに生成された誤り訂正符号PO33を含むデータをもとに生成される。

【0049】この結果、メモリエラー32によって改変されたデータブロックに対して正常な、誤り訂正符号が付加される。このとき、エラー32が存在する208行に対するPI系列、および182列に対するPO系列の誤りパターン検出値シンドロームは全て0であり、ECCブロックとしては誤りがないものと見なされる。実際には、メモリエラー32により、本来のデータは改変されたものである。

【0050】ここで、上記改変されたデータブロックをもとに生成されたECCブロックを記録媒体に記録し、この記録媒体から再生した際の再生データについて考える。

【0051】再生データは、誤り訂正符号を用いて誤り訂正処理が施される。ここで、再生されたデータに発生した誤りは、訂正能力の範囲内において訂正され、再生データが復元される。しかし記録前に含まれていたメモリエラーを訂正することはできない。即ち、誤り訂正符号PO33を用いてPO系列31の誤り訂正を行ったとしても、メモリエラー32を含んだデータが再現されたうえで誤り訂正が正常に終了し、本来のユーザーデータは復元不可能となってしまう。

【0052】また再生側において、バッファメモリ上のデータにメモリエラーが発生した場合は、メモリエラーを含んだデータをユーザーデータとしてホストに送信してしまう可能性がある。

【0053】（本発明が着目している点）上記したように、メモリ上のデータが破損（エラー発生）した場合、メモリエラーにより改変されたデータをもとに誤り訂正符号を生成し、記録媒体に記録するため、再生時このデータを読み出し誤り訂正処理を行ったとしても、エラーにより改変されたデータは復元されるが、本来の正しいデータを復元することは不可能となる。

【0054】また、再生時に、誤り訂正後のメモリ上のデータが破損（エラー発生）した場合、誤ったデータをホストに送信してしまう可能性がある。

【0055】メモリ上のデータ破損（エラー発生）を防ぐためには、データを保存するメモリをデータ破損が発生しない構造のメモリ、例えばS-RAM等で実現することが必要となるが、この構成はコストの面で好ましくない。

【0056】そこで、本発明では、メモリ上でエラーが起こった場合においても、本来のデータを損失することなく誤り訂正符号生成処理が行えるようにした誤り訂正符号生成処理方法とその装置、方法を用いた記録装置、再生装置、伝送装置及び受信装置を提供することである。

【0057】（本発明の基本的概念）本発明における誤り訂正符号生成処理の基本的な考え方は、複数行のデータに対して、各行に誤り訂正符号PIを生成して付加するPI生成及び付加手段と、前記PI生成及び付加手段で得られた、PI誤り訂正符号が付加したデータを格納するバッファメモリと、前記バッファメモリから前記データを読み出して、各行に付加された誤り訂正符号PIを用いて各行の誤り訂正を行なうPI誤り訂正手段と、このPI誤り訂正手段で誤り訂正が行なわれた結果により、前記バッファメモリの不良領域を判定し、この領域を別の領域に置き換えるメモリ制御手段とを備える。

【0058】つまり、バッファメモリに格納前のデータ

に対して、誤り訂正符号 P I を生成して付加し、この誤り訂正符号 P I が付加されたデータを前記メモリに格納し、このバッファメモリに格納されたデータに対して誤り訂正符号 P O を生成して付加し、このバッファメモリから読み出されたデータに対して、前記誤り訂正符号 P I を用いた誤り訂正処理を施すものである。

【0059】誤り訂正 P I を用いた誤り訂正処理において、繰り返しメモリエラーが生じている場合には、前記バッファメモリの当該エラー発生領域を別の領域に置き換えるという制御を行なうものである。

【0060】繰り返してメモリエラーが生じていることの判断基準としては、特定の位置（アドレス）で繰り返してメモリエラーが発生しているかどうかを判断する。また特定の領域で訂正不可能なメモリエラー数が繰り返して発生しているかどうかを判断する。また、誤り訂正符号 P O の存在位置において、繰り返してメモリエラーが発生しているかどうかを判断する方法がある。

【0061】エラー発生領域を別の領域に置き換える場合には、メモリエラーが発生した行を別の領域に置き換える。つまり行単位の置き換え処理を行なう方法がある。またデータブロック単位で置き換え処理を行う方法がある。

【0062】以下、本発明の特徴部を具体的な実施例について、図面を用いて詳細に説明する。

【0063】まず、図10を参照して、本発明の第1の実施形態であるデータ記録装置における誤り訂正符号付加回路について説明する。

【0064】ホストコンピュータからのユーザデータは、セクタ情報付加手段15により、2048バイトのメインデータごとに1つのデータセクタに変換される。

【0065】セクタ情報付加手段15は、メインデータ（2048バイト）に対して、識別データ（ID）4バイト、ID誤り検出符号（IED）2バイト、著作権管理情報（CPR_MAI）6バイトを付加する。EDC生成及び付加手段16は、ID、IED、CPR_MAIを含む計2060バイトのデータに対して誤り検出符号（EDC）4バイトを生成して付加し、計2064バイトのデータセクタを生成する。スクランブル手段17は、スクランブルデータをメインデータ（2048バイト）に加算（排他的論理和演算）し、メインデータをスクランブルする。

【0066】P I 生成及び付加手段8は、スクランブルされたデータセクタ（又はデータブロック）（172バイト×12行＝2064バイト）の各行（172バイト）に対して、誤り訂正符号 P I （10バイト）を生成する。そして、生成された誤り訂正符号 P I は、メモリ制御手段20を介してバッファメモリ2に順次格納される。また対応する172バイト×12行のデータも順次メモリ制御手段20を介してバッファメモリ2に格納される。これにより182バイト×12行の P I が付加し

たデータ（情報データブロック）が生成される。このようなデータ処理が継続され、誤り訂正符号 P I が付加された16個の情報データブロックがバッファメモリ2に構築される。つまり、バッファメモリ2内では182バイト×12行のデータセクタ（P I 付加データ）が16個集合され、182バイト×192行の集合 P I 付加データ（または集合情報データブロック）が構築される。

【0067】上記の処理で生成される誤り訂正符号 P I は、本来のデータを元データとする正常な誤り訂正符号 P I である。

【0068】ここで P O 生成及び付加手段9は、バッファメモリ2に格納された集合情報データブロック（182バイト×192行）の各列（192バイト）に対して、誤り訂正符号 P O （16バイト）を生成して付加する。この結果、バッファメモリ2に格納された集合情報データブロックに対して、誤り訂正符号 P I 、 P O が付加された ECC ブロックが構築される。

【0069】バッファメモリ2は、ホストコンピュータから送信されたデータを記録媒体に記録するまで蓄積する機能を持つために、ECC ブロックを複数個格納するに十分な容量を持ち、例えば DRAM で構成されている。DRAM では、データのパターンやメモリの実装状態によって、まれにメモリ上のデータが破損する場合がある。いわゆるメモリエラーが発生する場合がある。またこのような状態で先の誤り訂正符号 P O が生成されると、この誤り訂正符号 P O は、メモリエラーを含んだデータを元データとする誤り訂正符号となってしまう。

【0070】バッファメモリ2内の ECC ブロックは、1行（182バイト）ずつ読み出され、行メモリ3に格納される。P I 訂正手段10は、行メモリ3を用いて P I 訂正処理を行う。ここで先のメモリエラーは訂正され、本来のデータ（正常な ECC ブロック）に回復する。行メモリ3は、例えば SRAM（Static-RAM）で構成され、P I 系列の1行（182バイト）を格納できる容量をもつ。

【0071】行メモリ3から出力された行データは、順次変調・同期付加手段4に送られ、8/16変調と同期符号が付加され、記録媒体への記録データとして出力される。

【0072】図11は、バッファメモリ2から出力された ECC ブロックのデータの一部にエラー（上記したメモリエラー、あるいは外部ノイズなどにより生じたエラー42）が生じている様子を示している。

【0073】本発明では、誤り訂正符号 P I は、バッファメモリ2にデータが格納される前にセクタメモリ1を用いて誤り訂正符号 P I 生成されている。したがって、行45を含む192行全体にわたって、誤り訂正符号 P I は、本来のデータを元とする誤り訂正符号である。つまり、図11の誤り訂正符号 P I は、エラー42の存在しないデータに対して作成された誤り訂正符号である。

【0074】一方、PO生成及び付加手段9は、バッファメモリ2と相俟って各列(192バイト)のデータを元に誤り訂正符号POを生成する。したがって、列41に関する誤り訂正符号PO44(16バイト)は、メモリエラー42を含むデータを元にして作成された誤り訂正符号である。

【0075】積符号においては、誤り訂正符号に対する誤り訂正符号の部分48は、先に符号PIを生成及び付加し、次に符号POを生成して付加しても、先に符号POを生成付加し、次に符号PIを生成付加しても全く同じ符号パターンが得られる性質がある。

【0076】ここで、誤り訂正符号PIは、エラー発生前の本来のデータに対して付加された正しい誤り訂正符号である。よって、誤り訂正符号PIのブロックに対して生成及び付加された誤り訂正符号POは本来のデータを元とする正しい誤り訂正符号と言える。また、図11に示した172列のうち列41を除く他の列(171)に付加されている誤り訂正符号POも正しい誤り訂正符号と言える。

【0077】このようなECCブロックがバッファメモリ2から行順に読み出され、行メモリ3でPI訂正処理を施された場合、行45のエラー42は、容易にPI訂正される。つまり正しいデータの行45が復元される。また、エラー42を含んだデータに対して作成されたPO系の各行に対してもPI訂正が施されることにより、正しいPO系に訂正される。即ち、行46に対してPI訂正が施されることにより、1バイト43が訂正される。同様に他の行(図の三角印の位置)に関しても訂正が行われ、正しいPO系が生成されることになる。

【0078】上記の処理は、行メモリ3を用いて、ECCブロックの全ての行に対してPI訂正処理を行うものとして説明した。しかし、これに限らず、処理時間短縮のために図の三角印の位置の各行のみに対してPI訂正処理を行ってもよい。なぜならば、図の三角印の位置のPO系が正しい誤り訂正符号であれば、メモリエラー42は、後で容易に訂正できるからである。

【0079】上記の説明では、POブロックが集合データブロック内に1行ずつ分散されていないECCブロックを用いて説明した。しかし、実際のECCブロックは、図1、図6で説明したように誤り訂正符号POが、集合データブロックに1行ずつ分散されている。つまり12行の集合データブロックに対して誤り訂正符号POの1行が存在するように誤り訂正符号POが分散されている。

【0080】上述した図10には再生系統も示しているが、これについては後述することにする。

【0081】次にメモリ制御手段20の機能について説明する。メモリ制御手段20は、PI生成及び付加手段8、同期分離・復調手段11、PO生成及び付加手段9、PO訂正手段9、PI訂正手段10、行メモリ3か

ら、データの格納又は取り出しの要求をうける。この要求に応じて、メモリ制御手段20は、バッファメモリ2へのデータの書き込み、またはバッファメモリ2からのデータ読出しを実行する。この場合、メモリ制御手段20は、バッファメモリ2の不良メモリ領域を使用しないように、データ格納位置を制御することができる。

【0082】いま、PI訂正手段10がメモリ制御手段20のデータ取り出しを要求し、1行分のデータが行メモリ3に格納されたとする。次にPI訂正手段10が行メモリ3のデータの誤り訂正処理を行ったとする。このとき誤りが検出されると、PI訂正手段10は、誤りの位置を示す誤り情報をメモリ制御手段20に送る。

【0083】メモリ制御手段20は、誤りが発生したデータが格納されていたアドレスをエラーアドレスレジスタ21に登録する。エラーアドレスレジスタ21には、同じアドレスで誤りが発生した場合、その回数も登録される。ここでメモリ制御手段20は、同じアドレスにおいて繰り返して例えば2回メモリエラーが発生した場合には、そのアドレスを不良アドレスとして判断する。そして、メモリ制御手段20は、不良アドレス情報を不良アドレスレジスタ22に登録する。不良アドレスレジスタ22に不良アドレス情報を登録する判断基準は、繰り返し3回、あるいはそれ以上としてもよい。

【0084】不良アドレスレジスタ22に登録された不良アドレス情報は、データ書き込みアドレス及び読出しアドレス制御部23に参照され、不良アドレスは、使用されないようになる。

【0085】例えば、図12(A)のECCブロックのデータ列(B0, 0)~(B207, 181)をアドレスAより格納する際、アドレス(A+J)が不良アドレスレジスタに登録されていたとする。すると図12(B)に示すように(B0, J)は、アドレス(A+J)を飛ばしたアドレス(A+J+1)に格納される。この際、(B0, J)を予め用意された代替領域に格納してもよい。また、不良メモリ領域を管理する際は、バイト単位だけでなく、行単位などで管理してもよい。

【0086】次に、PI訂正が失敗した場合(不可能であった場合)のデータの再処理について説明する。

【0087】1行に対してメモリエラーが6個以上発生した場合にはPI訂正は不可能となる。また、1ECCブロックのデータに対してメモリエラーが6個以上発生した場合には、PO(16行)に対するPI訂正が失敗する場合がある。

【0088】PI訂正処理が行われた際、誤りが訂正可能な誤り数を超えたことが検出されると、使用するメモリ領域を変更して再処理が行われる。再処理の際は、ホストコンピュータにデータの再送を要求する。そして再び誤り訂正符号PIを付加されたデータが、メモリ制御手段20を介してバッファメモリ20に格納される。この際、使用するメモリ領域は、さきのエラーが発生され

たエラー領域を置き換えた領域、あるいはエラー領域とは異なる空き領域である。

【0089】誤り訂正符号POが格納されている領域の各行において、誤りが訂正可能な誤り数を超えた場合には、以下の方法で再処理を行うことができる。

【0090】再処理を行う際には、バッファメモリ2における第1の記憶領域に記憶された192行×182バイトの集合情報データブロック（誤り訂正符号PIを含む）を、バッファメモリ2の第2の記憶領域に移動する。そして各行に対してPI訂正処理を行った後、バッファメモリ2における第2の記憶領域を使用して再度PO生成及び付加処理を行う。このようにした場合、ホストコンピュータにデータの再送を要求することなく装置内部で再処理を行なうことができる。

【0091】図13は、バッファメモリ2上のデータの移動を説明するための図である。

【0092】アドレスA0から格納されたECCブロック(n)は、データ移動手段24によりアドレスA3を先頭とする空き領域に移動される。この際、移動されたデータは、アドレスA0の領域に含まれていたメモリエラーを含むが、各行に対してPI訂正処理を行うことにより、これらのメモリエラーは修復される。PI訂正処理を実行した後のデータを使用し、PO生成及び付加処理が実行される。この際に発生するメモリエラーが5個以内であれば、生成される誤り訂正符号POは、PI訂正処理により誤り訂正が可能である。

【0093】図10に戻り、データ再生時の動作について説明する。

【0094】記録媒体から光ヘッドにより読み取られた再生データは、同期分離・復調手段11に導入される。この同期分離・復調手段11では、再生データから同期検出及び分離、8/16変調の復調が施される。これにより記録セクタが得られる。ただし、記録媒体に対してデータを記録、および再生する際に、ディスクの傷やノイズなどが原因となりデータに誤りが発生するため、記録セクタ内のデータには誤りが含まれる場合がある。

【0095】取り出された記録セクタはメモリ手段20を介して、バッファメモリ2に順次格納され、16記録セクタが集合され、バッファメモリ2内で208行×182列のECCブロックが形成される。この208行×182列のECCブロックに対して、PO訂正手段14、PI訂正手段10により、誤り訂正が行われる。

【0096】誤り訂正されたECCブロックは、バッファメモリ2から1行（172バイト）ずつデータ伝送順に読み出され、行メモリ3に格納される。ここでPI訂正手段10は、行メモリ3を用いて各行の172バイトに対してPI訂正を行なう。これにより、バッファメモリ2において、スクランブルされたデータセクタにメモリエラーが生じててもPI訂正により修復される。

【0097】次にスクランブル解除手段13は、スクラ

ンブルされたデータセクタのメインデータ（2048バイト）に対してスクランブルデータを換算（排他的論理和演算）し、スクランブル前のデータセクタを生成する。さらにEDC誤り検出手段12は、データセクタに含まれている誤り検出符号（EDC）4バイトを用いて、データセクタの誤りを検出する。データセクタに誤りがないことが検出されると、そのデータセクタはホストに送信される。

【0098】上記したように、本発明は、メモリ上でエラーが起こった場合においても、本来のデータを損失することなく誤り訂正符号生成処理が行える信号伝送/記録及び再生装置に有効である。また、本発明は、バッファメモリの不良検査を簡略化し歩留まりを上げる代わりに、メモリエラーの発生率を上げた場合でも、本来のデータを損失することなく記録媒体への記録が可能であり、安価な信号伝送/記録及び再生装置に採用して有効である。伝送受信系としては、デジタル通信分野の種々の機器に適用可能である。携帯電話器のような無線器、コンピュータ間の送受信端末、テレビジョン送受信機などである。また記録再生系の分野としては、本発明は、DVD機器、CD機器、さらには通信機能を採用したメモリデバイス等に採用されて有効である。

【0099】

【発明の効果】以上説明したようにこの発明は、メモリ上でデータエラー（メモリエラー）が生じた場合であっても、本来の正しいデータを復元することが可能な誤り訂正符号を用いたデータ処理方法、この方法を採用した記録系或は再生系の装置、伝送系及び受信系の装置を提供できる。

【図面の簡単な説明】

【図1】DVDにおける物理セクタを得るまでのデータ処理手順を示す説明図。

【図2】DVDにおけるデータセクタの構成を示す説明図。

【図3】スクランブルデータを発生させる帰還形シフトレジスタの説明図。

【図4】ECCブロックを示す説明図。

【図5】記録セクタを示す説明図。

【図6】誤り訂正符号POがインターリーブされたECCブロックを示す説明図。

【図7】従来の記録再生装置の記録系における誤り訂正符号生成方式を説明するために示したブロック図。

【図8】従来の記録再生装置の再生系における誤り訂正処理方式を説明するために示したブロック図。

【図9】従来の記録再生装置において、DRAMメモリエラーが発生した場合の誤り訂正符号を説明するための図。

【図10】本発明に係る誤り訂正符号生成方法の一実施例を説明するために示した記録系及び再生系のブロック図。

【図11】メモリエラーが生じた場合に、本発明に係る誤り訂正符号生成方法による誤り訂正処理の例を説明するために示した説明図。

【図12】メモリエラーが生じた場合に、本発明に係る誤り訂正符号生成方法によりECCブロックを処理する例を説明するために示した説明図。

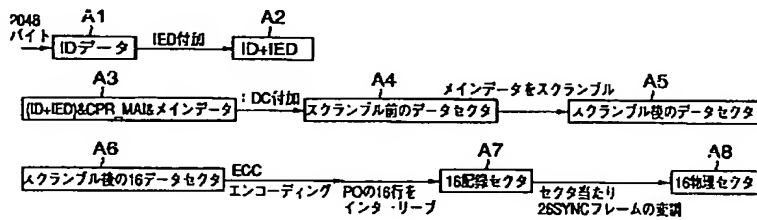
【図13】メモリエラーが生じた場合に、本発明に係る誤り訂正符号生成方法によりECCブロックを処理する他の例を説明するために示した説明図。

【符号の説明】

1…セクタメモリ、2…バッファメモリ、3…行メモリ、4…変調・同期付加手段、5…セクタ情報付加手段、6…EDC生成及び付加手段、7…スクランブル手段、8…PI生成及び付加手段、9…PO生成及び付加手段、10…PI訂正手段、11…同期分離・復調手段、12…EDC誤り検出手段、13…スクランブル解除手段、14…PO訂正手段。

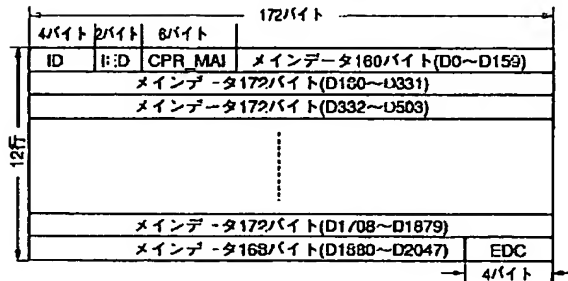
【図1】

物理セクタを構成する為の処理順序



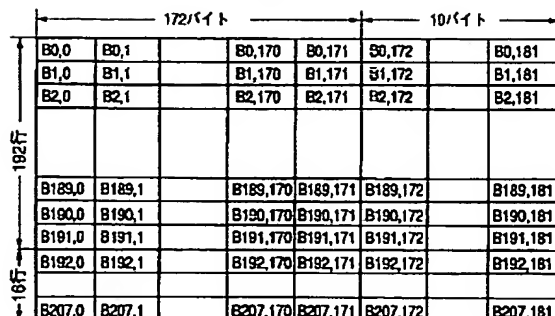
【図2】

データセクタの構成



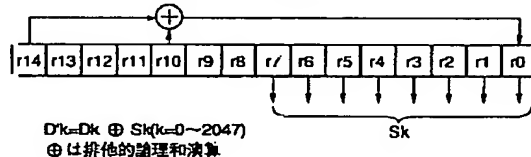
【図4】

ECCブロック



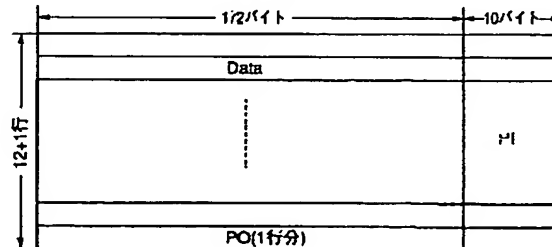
【図3】

DVDにおける、スクランブルデータを発生させる移置シフトレジスタ

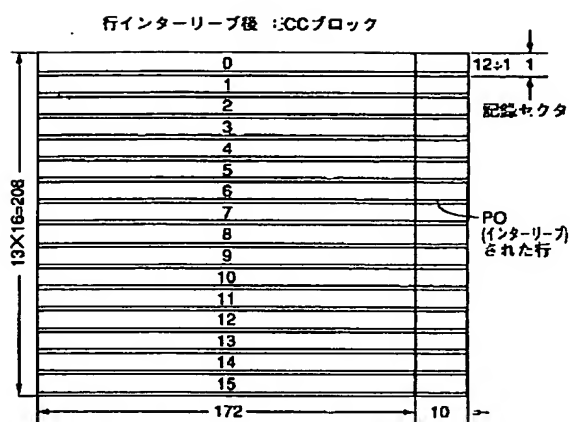


【図5】

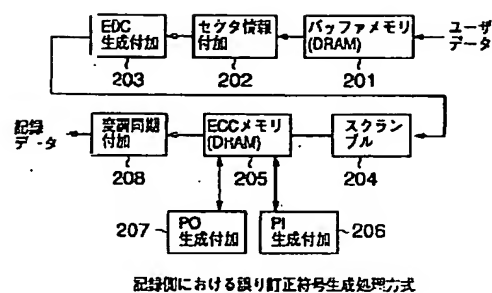
記録セクタ



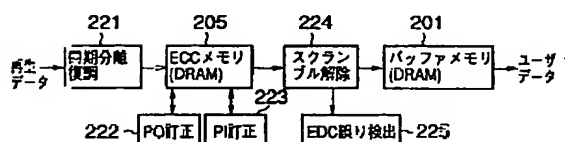
【図6】



【図7】

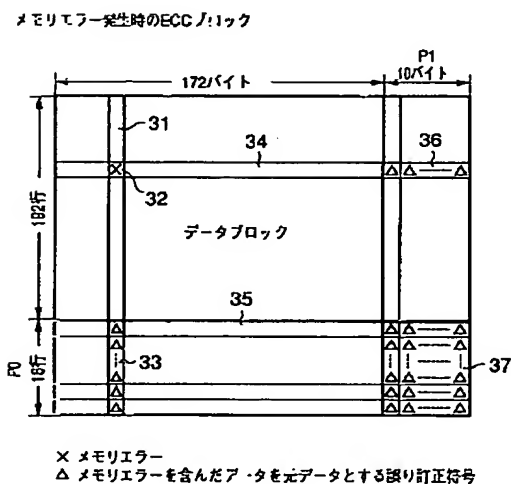


【図8】

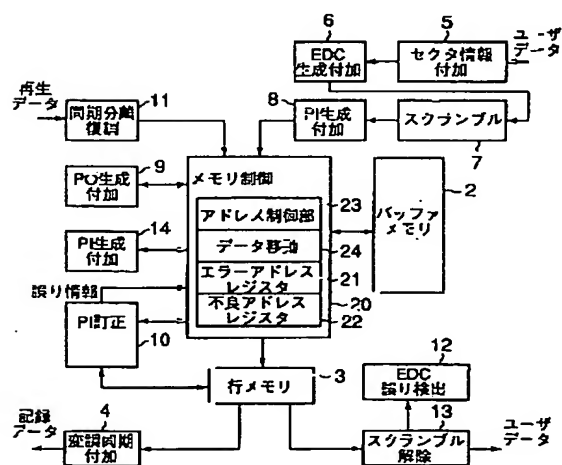


再生側における誤り訂正符号生成処理方式

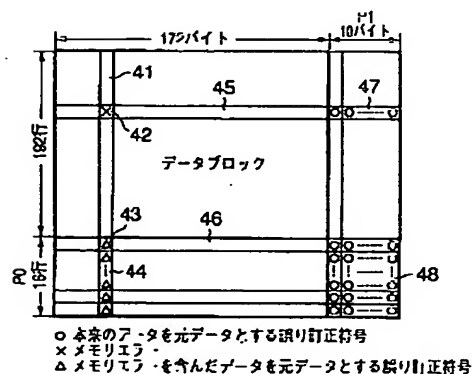
【图9】



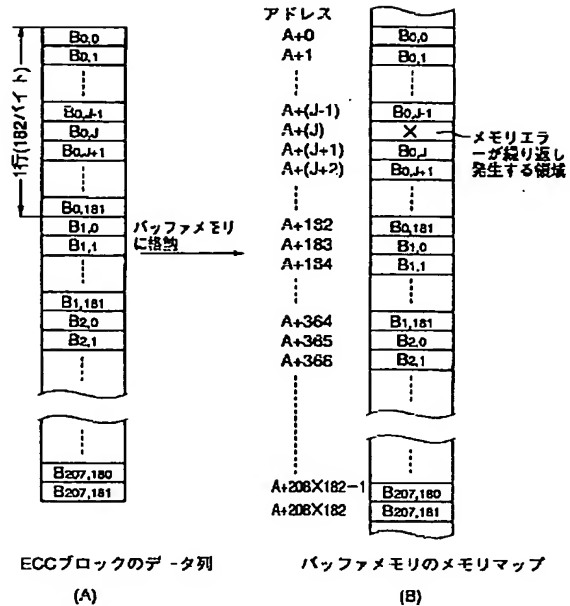
【図10】



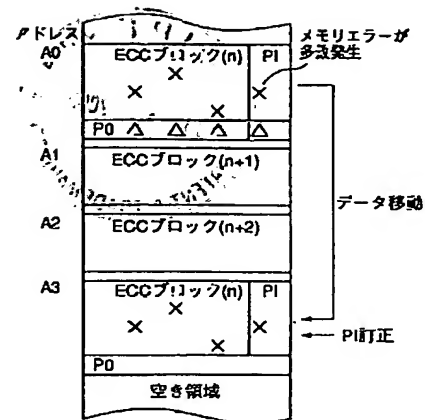
【図 11】



【図12】



【図13】



フロントページの続き

(51)Int. Cl. ⁷	識別記号	FI	(参考)
G 0 6 F 11/10	3 3 0	G 0 6 F 11/10	3 3 0 S
G 1 1 B 20/18	5 1 2	G 1 1 B 20/18	5 1 2 A
	5 3 2		5 3 2 B
	5 4 4		5 4 4 A
	5 5 2		5 5 2 A
			5 5 2 Z
H 0 3 M 13/29		H 0 3 M 13/29	
H 0 4 L 1/00		H 0 4 L 1/00	B

(72)発明者 小島 正
神奈川県川崎市幸区柳町70番地 株式会社
東芝柳町事業所内

Fターム(参考) 5B001 AA01 AB02 AC01 AD03
5B018 GA02 HA14 KA12 KA15 MA03
NA02 QA01 QA16 RA02
5J065 AB02 AB05 AC02 AC03 AD03
AD11 AG02 AG04 AG06 AH04
AH06 AH17 AH18
5K014 AA01 AA05 BA08 EA01 EA07
FA16 HA00